

④日本国特許庁(JP)

①特許出願公開

②公開特許公報(A) 平1-236494

③Int.Cl.

G 11 C
H 03 K
11/34
5/13
19/00
19/08

検別記号 315
内装理番号 8522-5B
7531-5J
101 N-8326-5J
8326-5J

④公開 平成1年(1989)9月21日

⑤特許請求項の数 3 (全13頁)

⑥発明の名称 半導体集積回路装置

⑦特許 昭63-64088

⑧出願 昭63(1988)3月17日

⑨発明者 光本 饮也 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センター内

⑩出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑪代理人 弁理士 德若 光政

要 約

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. その遷延時間が所定のパッド又は外部端子から供給される選択回路信号によって変化される遷延回路を構成することを特徴とする半導体集積回路装置。

2. 上記遷延回路は、所定の入力信号とともに上記入力信号に対して所定の時間間隔を持ちかつ所定の時間間隔を持つ出力信号を形成するパルス発生回路に含まれるものであり、既別形態とされる複数の単位遷延回路により構成されるものであって、上記パルス発生回路は、さらに上記選択回路信号をデコードして対応する選択信号を單一的に形成するデコーダと、上記選択信号に従って対応する上記単位遷延回路の出力信号を選択的に伝達する出力選択回路とを含むものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記半導体集積回路装置は、バイオーラRAMを基本構成とする論理回路付メモリであり、上記パルス発生回路は、上記論理回路付メモリのタイミング発生回路に含まれるものであって、上記出力信号は、上記バイオーラRAMのライドアンプに供給される書き込みパルスであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路装置。

3. 発明の詳細な説明

(発明上の利用分野)

この発明は、半導体集積回路装置に関するもので、例えば、バイオーラRAMを基本構成とする論理回路付メモリ等に利用して特に有効な技術に関するものである。

(従来の技術)

バイオーラトランジスタからなるメモリセルが格子状に配置されてなるメモリアレイを基本構成とするバイオーラRAMがある。また、このようなバイオーラRAMを基本構成とする論理回路付メモリがある。

特開平1-236494(2)

バイオーラRAMについて、例えば、特開昭58-804879公開等に記載されている。(発明が解決しようとする課題)

上記に記載されるようなバイオーラRAMは、ライトアップ含む。ライトアップは、上記ノモリアレイを形成する相補データはに対応して形成される位置の各位目録を含む。これらの各位目録は、タイミング発生日録から開始される書き込みバルスを使って選択的に動作状態とされ、ノモリアレイの選択された位置のノモリセルに対する書き込み動作を行う。

上記バイオーラRAMを含む論理遮断付ノモリでは、外部から入力される書き込み制御信号等を含むライトイネーブル信号WEが、そのまま書き込みバルスとしてライトアップに供給される。このため、ライトイネーブル信号WEは、アドレス信号や入力書き込みデータ等に対して所定のセットアップ時間を持つがライトアップが安定して動作できるだけの所定のバルス幅を有するものでなくてはならない。ライトイネーブル信号WEに

ための復数の選択目録を含む。これらの選択目録は、論理遮断付ノモリの設計段階で行われるシミュレーション等によって、上記タイミング条件を満足する所定の選択時間を持つように、その固有定数が決定される。ところが、現状ではシミュレーションの精度が充分でないことから、製造された論理遮断付ノモリの選択目録が的確に予測通りの安定した選択時間を持つようには困難である。このため、予め固有用の選択目録をいくつか用意し、製造用のマスクを変更してこれらの選択目録を選択的に切り替え操作することで、所定の選択時間を得る方法が採られる。このことは、論理遮断付ノモリ等の固有時間を持たせるとともに、製造工程における製品の歩留りを低下させる要因となるものである。

この発明の目的は、その選択時間を変更しうる選択目録を提供することにある。この発明の他の目的は、選択目録を含む論理遮断付ノモリ等の固有時間を見直し、その製造工程における製品歩留りを高めることにある。

対するこれらのタイミング条件は、論理遮断付ノモリが高速化されそのサイクルタイムが短縮化されるに従って次第に厳しくなり、実際困難なものとなりつつある。

これに対応するため、本発明等は、その入力動作をクロック信号によって同期化し、上記タイミング条件を満足する書き込みバルスを内部で自律的に形成する論理遮断付ノモリを図示した。この論理遮断付ノモリは、タイミング発生日録を含み、このタイミング発生日録は、上記クロック信号をもとに、所定のセットアップ時間を持ちかつ所定のバルス幅を持つ書き込みバルスをライトイネーブル信号WEを使って選択的に形成する書き込みバルス発生日録を含む。

しかし、このような論理遮断付ノモリにはさらには次のような問題点があることが、本発明等によって明らかとなった。すなわち、論理遮断付ノモリの上記書き込みバルス発生日録には、クロック信号を遮断させそのバルス幅を延長することで上記セットアップ時間及びバルス幅を実現する

この発明の特徴ならびにその他の目的と所属な特開は、この発明の記述及び図面から明らかになるであろう。

(発明を解決するための手段)

本開において図示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、論理遮断付ノモリの書き込みバルス発生日録に含まれる選択目録を、直列並列とされる複数の各位選択目録によって構成し、これらの各位選択目録の出力信号を選択信号によって選択的に伝達する出力選択目録と、所定の選択制御信号をデコードして上記選択信号を反一方向に形成するデコーダとを設けるものである。

(作用)

上記した手段によれば、本製品あるいは製品元製造において、パッケ又は外部端子から上記選択制御信号を供給することで、マスク等の変更を必要とすることなく、選択目録の選択時間を調整することができる。これにより、論理遮断付ノモリ等の固有時間を見直し、またその製品歩留りを高

あることができる。

(実施例)

第4図には、この発明が適用された論理回路竹ノモリの一実施例のブロック図が示されている。この実施例の論理回路竹ノモリは、特に利用されないが、バイオーラRAMを基本構成とし、回路を含まない論理部を含む。第4図の各ブロックを構成する田島晶子は、論理回路竹ノモリの示されない論理部を構成する田島晶子とともに、特に利用されないが、田島晶シリンのようなく図の半導体基板上に形成される。

この実施例の論理回路竹ノモリは、後述するように、ノモリアレイMARYとライトアップWA及びタイミング発生回路TCを含む。このうち、タイミング発生回路TCは、後述するように、外部端子を介して供給されるクロック信号CK及びライトイネーブル信号WEによって所定のセットアップ時間及びパルス幅を有する書き込みパルスすなわちタイミング信号φを日時的に形成し、ライトアップWAに供給する書き込みパルス発生

回路を含む。書き込みパルス発生回路は、それを直列回路とされる相位の単位選択回路からなる2組の選択回路R1・R2と、各単位選択回路の出力信号を直列回路号=0～4であるいは、0～3を使って選択的に供給する出力選択回路S1・S2と、32ビットを含む。書き込みパルス発生回路には、さらに外部端子を介して供給される選択回路回路号すなわちパルス選択回路号W30～W32及びセットアップ時間選択回路号S30～S31をデコードし、上記選択回路号=0～4を及び0～3を形成するデコードD3C1及びD3C2が含まれる。これにより、この実施例の論理回路竹ノモリは、半成品又は成品完成後ににおいて、書き込みパルス発生回路に含まれる選択回路D1・D2及びR1の選択時間等、マスク変更を必要とすることなく即座に、そのパルス幅及びセットアップ時間を選択化することができる。

第4図において、ノモリアレイMARYは、特に利用されないが、両端の水平方向に平行して配置されるM+1本のワード線と、垂直方向に平行

して配置されるM+1組の初期データ線及びこれらのワード線と初期データ線の交点に格子状に配置される、(M+1)×(N+1)個のバイオーラノモリセルを含む。

ノモリアレイMARYを構成するワード線は、アドレスコードADDに結合され、單一的に選択状態とされる。

アドレスコードADDには、アドレスバッファADDから、内蔵アドレス信号φ0～φ4が供給される。これらの内部アドレス信号は、特に利用されないが、直列信号及び反転信号からなる田島信号とされる。アドレスコードADDには、さらにタイミング発生回路TCから、タイミング信号φが供給される。

アドレスコードADDは、上記タイミング信号φがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、アドレスコードADDは、上記内部アドレス信号φ0～φ4をデコードし、ノモリアレイMARYの構成するワード線を單一的に選択状態とする。

アドレスバッファADDは、特に利用されないが、外部端子を介して供給される1×1ビットのアドレス信号A0～A1を取り込み、保持する。また、これらのアドレス信号A0～A1とともに、上記内部アドレス信号φ0～φ4を加算し、アドレスコードADDに供給する。

一方、ノモリアレイMARYを構成する相位データ線は、その一方において、ライトアップWAの対応する単位回路にそれぞれ結合され、またその他方において、ライトアップWAの対応する単位回路にそれぞれ結合される。

ライトアップWAは、特に利用されないが、ノモリアレイMARYの各相位データ線に対応して設けられるM+1個の単位回路を含む。これらの単位回路には、データ入力バッファD1BからM+1個の内部書き込みデータφ0～φ4がそれぞれ供給される。また、タイミング発生回路TCから書き込みパルスすなわちタイミング信号φが急速に供給されると、タイミング信号φは、後述するように、論理回路竹ノモリが非選択状態

特開平1-236494(4)

とされるときロウレベルとされ、内部信号ノミリが音を込みモードで選択状態とされるとき、所定のタイミングで所定の時間だけ一時的にハイレベルとされる。

ライトアンプWAAの各部位回路は、上記タイミング信号によってハイレベルとされることで、選択的に動作状態とされる。この動作状態において、ライトアンプWAAの各部位回路は、データ入力バッファD18から供給される内部信号を込みデータ4×0～4×8に従った相補信号を込み信号を形成し、ノモリアレイMARYの対応する相補データ線に供給する。これらの音を込み信号は、対応する相補データ線を分して、ノモリアレイMARYの選択されたワード線に結合される。+1回のノモリセルにそれぞれ圧縮される。

データ入力バッファD18は、特に制限されないが、外部端子を分して供給される+1ビットの入力データD10～D11を取り込み、保持する。また、これらの入力データD10～D11とともに、上記内部信号を込みデータ4×0～4×8

を形成し、ライトアンプWAAの対応する部位回路にそれぞれ供給する。

ライトアンプWAAは、ノモリアレイMARYの選択されたワード線に結合される+1回のノモリセルから対応する相補データ線を分して出力される読み出し信号を地盤し、内部読み出しデータ4×0～4×8を形成する。これらの内部読み出しデータ4×0～4×8は、データ出力バッファDOBの対応する出力回路に供給される。

データ出力バッファDOBは、特に制限されないが、+1回の出力回路を含む。これらの出力回路には、ライトアンプWAAから、対応する内部読み出しデータ4×0～4×8がそれぞれ供給されるとともに、タイミング発生回路TGからタイミング信号を+1回に供給される。

データ出力バッファDOBの各出力回路は、上記タイミング信号によって一時的にハイレベルとされることで、選択的に動作状態とされる。この動作状態において、データ出力バッファDOBの各出力回路は、対応する上記内部読み出しデータ

4×0～4×8とともに、出力データD08～D09を形成し、外部端子を分して選択する。上記タイミング信号によってロウレベルとされるとき、データ出力バッファDOBの各出力回路の出力はハイインピーダンス状態とされる。

タイミング発生回路TGには、特に制限されないが、外部端子を分して供給されるクロック信号C1及びライトイネーブル信号Wをもとに、上記各回路のタイミング信号を形成し、各回路に供給する。タイミング発生回路TGは、上記タイミング信号によって音を込みバルス発生回路を含む。この音を込みバルス発生回路は、前述のように、音数の單位選択回路が直列形態とされてなる2回の選択回路D11及びD12を含む。これらの選択回路の選択時間は、外部端子を分して供給されるバルス相選択信号W30～W32及びセントアップ時間選択信号S30、S31に従って選択的に変化される。

第1回には、第4回の検査回路ノモリのタイミング発生回路TGの一次比例の回路図が示され

ている。また、第2回及び第3回には、第1回のタイミング発生回路TGに含まれる単位選択回路DC1及び選択ゲート回路DG1の一実施例の回路図が示されている。これらの間に従って、この実施例の検査回路ノモリのタイミング発生回路TGに含まれる音を込みバルス発生回路の具体的な構成と動作の概要を説明する。なお、第1回には、タイミング発生回路TGのうち、音を込みバルス発生回路とその回路回路が部分的に示されているが、タイミング発生回路TGの他の回路については、この発明と直接関係がないので、図示を割愛する。以下の図において、図示されるバイオレットラングクタは、すべてNPN型トランジスタである。

第1回において、外部端子を分して入力されるクロック信号C1は、オフゲート回路OG1の一方の入力端子に供給されるとともに、フリップフロップ回路FF1のクロック入力端子Cに供給される。オフゲート回路OG1の他方の入力端子には、アンダゲート回路AG1の出力信号が供給さ

れる。アンドゲート回路AG1の一方の入力端子には、内部制御信号1～6が供給され、その他の方の入力端子には、後述するオアゲート回路OG1の反応出力信号3～5が供給される。オアゲート回路OG1の出力信号は、パルス延滞回路PWBの入力端子に供給される。ここで、クロック信号CKは、特に制限されないが、ECLレベルとされ、所定の時間で所定の期間だけ一時的にハイレベルとされる。また、内部制御信号1～6には、特に制限されないが、この論理駆動付ノモリが通常の動作モードとされるときロクレベルとされ、論理駆動付ノモリが所定の試験モードとされるとき選択的にハイレベルとされる。

これらのことから、論理駆動付ノモリが通常の動作モードとされるとき、外部端子を介して供給されるクロック信号CKが、オアゲート回路OG1を介してパルス延滞回路PWBに供給される。また、論理駆動付ノモリが所定の試験モードとされると上記内部制御信号1～6がハイレベルとされるとき、オアゲート回路OG1の反応出力信号3～5

が、アンドゲート回路AG1及びオアゲート回路OG1を介してパルス延滞回路PWBに供給され、パルス延滞回路PWB及び選択回路DL1を中心としたループが形成される。

外部端子を介して供給されるライトイネーブル信号WEは、上記フリップフロップ回路FF1のデータ入力端子Dに供給される。フリップフロップ回路FF1のクロック入力端子Cには、同様のように、クロック信号CKが供給される。これにより、フリップフロップ回路FF1は、上記クロック信号CKによってトリガされ、上記ライトイネーブル信号WEを取り込む。ライトイネーブル信号WEは、特に制限されないが、論理駆動付ノモリが書き込みモードとされるとき、選択的にハイレベルとされる。フリップフロップ回路FF1の出力信号は、書き込みモード信号をうち内部制御信号7～9として、タイミング発生回路TOの各回路に供給される。

一方、選択制御信号として外部端子を介して供給される3ビットのパルス延滞回路信号WS0～WS2

S2は、デコードDEC1に入力される。デコードDEC1は、上記パルス延滞回路信号WS0～WS2をデコードし、対応する選択信号S0～S1を一時的にハイレベルとする。これらの選択信号は、後述する選択回路DL1の対応する選択ゲート回路DC1～DC4の制御入力端子Sにそれぞれ供給される。

同時に、選択制御信号として外部端子を介して供給される3ビットのセッタップ時間選択信号SS0及びSS1は、デコードDEC2に供給される。デコードDEC2は、上記セッタップ時間選択信号SS0及びSS1をデコードし、対応する選択信号S0～S1を一時的にハイレベルとする。これらの選択信号は、後述する出力選択回路SEL1の対応するアンドゲート回路AG3～AG5にそれぞれ供給される。

パルス延滞回路PWBに、特に制限されないが、オアゲート回路OG1を介して供給されるクロック信号CK等を所定の時間だけ選択させ、かつそのパルス幅を約1倍程度に延長する。パルス延滞

回路PWBの本反応出力信号S1及び反応出力信号S2は、選択回路DL1を構成する単位選択回路DC1の対応する入力端子S及び反応入力端子Tに供給されるとともに、オアゲート回路OG1の端子Sの入力端子に供給される。

選択回路DL1は、特に制限されないが、その対応反応出力端子S及び反応出力端子Tと対応する入力端子S及び反応入力端子Tが順次結合されることによって選択可能とされる。即ち、単位選択回路DC1～DC4ならばに8個の選択ゲート回路DG1～DG8により構成される。

単位選択回路DC1～DC4は、第2回の単位選択回路DC1に代入して示されるように、一对の電動トランジスタT1・T2を基本構成とする。このうち、トランジスタT1のコレクタは、ノードAとされ、対応する反応端子S1を介して回路の接続部位に結合される。同時に、トランジスタT2のコレクタは、ノードBとされ、対応する反応端子T1を介して回路の接続部位に結合される。即ちトランジスタT1・T2の共通結合部

特開平1-236494(5)

れたエミッタと回路の電源電圧との間に、定電流源I31が設けられる。ここで、回路の電源電圧は、常に利用されないが、所定の次の電源電圧とされる。トランジスタT1及びT2のベースは、それぞれこの単位遮断回路DC1の非反転入力端子1及び反転入力端子Tとされる。

トランジスタT1のコレクタは、さらにトランジスタT4のベースに先端結合される。また、トランジスタT1のコレクタと回路の接地電位との間に、キャパシタC1が設けられる。同様に、トランジスタT1のコレクタは、さらにトランジスタT3及びT5のベースに先端結合される。また、トランジスタT3のコレクタと回路の接地電位との間に、キャパシタC2が設けられる。キャパシタC1及びC2は、常に利用されないが、バイオードトランジスタのエミッタ電圧により形成され、单位遮断回路DC1の遮断時間に相当する所定の静電容量を持つよう設計される。

トランジスタT3のコレクタは、回路の接地電位に結合され、そのエミッタと回路の電源電圧と

の間に、定電流源I33が設けられる。これにより、トランジスタT3は、対応する定電流源I33とともに、出力エミッタファロフ回路を構成する。トランジスタT3のエミッタは、この単位遮断回路DC1の非反転出力端子Tに結合される。同様に、トランジスタT4及びT5のコレクタは、回路の接地電位に結合され、そのエミッタと回路の電源電圧との間に、定電流源I35及びI36がそれぞれ設けられる。これにより、トランジスタT4及びT5は、対応する定電流源I35及びI36とともに、それぞれ出力エミッタファロフ回路を構成する。トランジスタT4のエミッタは、この単位遮断回路DC1の反転出力端子Tに結合される。また、トランジスタT5のエミッタは、この単位遮断回路DC1のワイヤドア出力端子Tに結合される。各単位遮断回路のワイヤドア出力端子Tは、他の単位遮断回路のワイヤドア出力端子Tと直接結合されることによって、接続部数と回路を構成する。

非反転入力端子1が反転入力端子Tより低いロ

ウレベルとされるとき、トランジスタT2がオン状態となり、トランジスタT1はカットオフ状態となる。したがって、トランジスタT1のコレクタなどノーノードルの電位は、回路の接地電位のようなハイレベルとされ、トランジスタT2のコレクタなどノーノードルの電位は、定電流源I31の電圧と負荷抵抗R1の電圧によって決まる所定のロウレベルとされる。ノーノードルのハイレベルは、トランジスタT4のベース・エミッタ電圧分だけシフトされた後、単位遮断回路DC1の反転出力はらずとして出力される。また、ノーノードルのロウレベルは、トランジスタT3及びT5のベース・エミッタ電圧分だけそれ逆シフトされた後、単位遮断回路DC1の非反転出力端子T及びワイヤドア出力端子Tとされる。

次に、非反転入力端子1が反転入力端子Tより高いハイレベルとされるとき、トランジスタT2はカットオフ状態になり、代わってトランジスタT1がオン状態になろうとする。また、これにともなって、ノーノードルの電位がハイレベルから定電

流源I31の電圧と負荷抵抗R1の電圧とにによって決まる所定のロウレベルに変化し、ノーノードルの電位がロウレベルから回路の接地電位のようなハイレベルに変化しようとする。ところが、前述のように、ノーノードル及びノードルと回路の接地電位との間に、所定の静電容量を持つキャパシタC1及びC2がそれぞれ設けられる。このため、ノーノードル及びノードルのレベルは、キャパシタC1の回路電圧と定電流源I31の電圧ならびにキャパシタC2の回路電圧と負荷抵抗R1の電圧によって決まる所定の時定数によってはくに変化し、これにともなってトランジスタT1及びT3の状態が遷移する。その結果、単位遮断回路DC1の非反転出力端子Tと反転出力端子Tならびにワイヤドア出力端子Tは、非反転入力端子1及び反転入力端子Tに対して所定の遷移時間だけ遅れて変化されるものとなる。

一方、遮断ゲート回路DC1～DC3は、第3回の遮断ゲート回路DC1に代換して示されるように、基本的に上記單位遮断回路DC1～DC4

を形成する回路構成とされ、選択ゲートD11を構成する単位選択回路として用意する。第3回において、トランジスタT6-T10と並びR3、R4及びキャパシタC3、C4ならびに定電流源I33-I38は、第1回のトランジスタT1-T5と並びR1、R2及びキャパシタC1、C2ならびに定電流源I31-I34にそれぞれそのまま対応する。トランジスタT8及びT9のコレクタは、それぞれノーフラッシュとされ、トランジスタT8及びT9のベースは、それぞれ選択ゲート回路D01の非反転入力端子1及び反転入力端子2とされる。以下、上記の各選択回路DC1-DG4と選択ゲート回路D01-DG8の異なる部分について、同様を追加する。

第3回において、差動トランジスタT6-T7の共通結合されたエミッタは、トランジスタT11のコレクタに結合される。トランジスタT11のエミッタは、差動回路とされたトランジスタT12のエミッタに共通結合され、さらに定電流源I33を介して回路の電源電圧に結合される。ト

ランジスタT11のコレクタは、ノーフラッシュと結合され、そのベースは、この選択ゲート回路D01の非反転入力端子3とされる。トランジスタT11のベースには、絶縁遮断付メモリの回路をれない定電圧発生回路から、所定の参照電位Vrefが供給される。ここで、上記参照電位Vrefは、開閉入力端子4に供給される選択信号#0-#7のロウレベル及びハイレベルのほぼ中間レベルとなる。これにより、差動トランジスタT11-T12は、その開閉入力端子3に供給される選択信号#0-#7に対して、上記参照電位Vrefを経由スレッショルドレベルとする選択スイッチ回路として動作する。

対応する選択信号#0-#7が参照電位Vrefより低いロウレベルとされたとき、トランジスタT12はカットオフ状態となり、トランジスタT11がオン状態となる。したがって、差動トランジスタT6-T7は動作状態とされ、選択ゲート回路DG1の非反転出力信号1と反転出力信号2ならびにワイドオア出力信号4は、上記第1回の

単位選択回路DC1と同様に、非反転入力信号1及び反転入力信号2-Tに従って選択的にハイレベル又はロウレベルとされる。

一方、対応する選択信号#0-#7が参照電位Vrefより高いハイレベルとされたとき、トランジスタT11はカットオフ状態となり、代わってトランジスタT12がカム状態となる。したがって、差動トランジスタT6-T7は非動作状態とされ、ノーフラッシュは、トランジスタT12を介して初期的に所定のロウレベルとされる。このときに、ノーフラッシュは、差動トランジスタT6-T7が非動作状態とされることで、回路の接地点のようないレベルとされる。これにより、選択ゲート回路DG1の非反転出力信号1及びワイドオア出力信号4は、対応する選択信号#0-#7に關係なく、非反転出力信号2-Tのレベルに固定なく、非反転出力信号2-T及びワイドオア出力信号4がハイレベルとされ反転出力信号1がロウレベルとされる結果、0°の状態に固定される。

第1回において、単位選択回路DC1-DG4のワイドオア出力端子1は共通結合され、ノーフラッシュとされる。これにより、ノーフラッシュは、各選択回路DC1-DG4のうちいずれかのワイドオア出力信号1がハイレベルとされたとき、選択的にハイレベルとされる。ノーフラッシュは、さらにオーバードライブ回路DG2の第2の入力端子に結合される。一方、選択ゲート回路DG1-DG4のワイドオア出力端子1は共通結合され、ノーフラッシュとされる。これにより、ノーフラッシュは、選

送ゲート回路 DC1～DC4 のうちいずれかのワイヤドマニア出力信号がハイレベルとされるとき、選択的にハイレベルとされる。ノード 0 は、さらにオアゲート回路 DC1 の出力端子に組みられる。同様に、送ゲート回路 DC1～DC8 のワイヤドマニア出力端子には先端組合され、ノード 1 とされる。これにより、ノード 0 は、送選ゲート回路 DC1～DC8 のうちいずれかのワイヤドマニア出力信号がハイレベルとされるとき、選択的にハイレベルとされる。ノード 1 は、さらにオアゲート回路 DC1 の出力端子に組みられる。

これらのことから、オアゲート回路 DC1 の非反転出力信号 0 は、パルスは相回路 PWB と単位選送回路 DC1～DC4 及び送選ゲート回路 DC1～DC8 のうちいずれかの出力信号がハイレベルとされるとき、選択的にハイレベルとされる。オアゲート回路 DC1 の反転出力信号 1 は、上記非反転出力信号 0 と相補的にハイレベルとされる。前述のように、送選ゲート回路 DC1～D

8 のワイヤドマニア出力信号は、外接する選択信号 0～7 がハイレベルとされることで、選択的にロクレベルに固定される。これにより、そのワイヤドマニア出力信号が固定される送選ゲート回路の選択に組みられるすべての送選ゲート回路のワイヤドマニア出力信号は、同時にロクレベルに固定される。つまり、オアゲート回路 DC1 は、上記パルスは相回路 PWB と単位選送回路 DC1～DC4 及び送選ゲート回路 DC1～DC8 の出力信号に対するオアゲート回路として構成し、もむせて選択信号 0～7 によって選択的に有効とされる送選ゲート回路 DC1～DC8 とともに、出力選送回路 SBL1 を構成するものである。言うまでもなく、オアゲート回路 DC1 の出力信号 0 のパルス幅は、選択信号 0 がハイレベルとされるときに最小となり、パルスは相回路 PWB の出力信号 1 のパルス幅に単位選送回路 DC1～DC4 の合計選送時間と加えた値となる。これにより、選送回路 SBL1 は、オアゲート回路 DC1 の出力信号 0 ひいては選択する書き込みパルスすなわちタイミング信号 0 のパルス幅を決定する選送回路として作用するものとなる。

オアゲート回路 DC1 の非反転出力信号 0 及び反転出力信号 1 は、送選回路 SBL1 の単位選送回路 DC1 の非反転入力端子 1 及び反転入力端子 0 にそれぞれ供給される。また、反転出力信号 1 は、前述のように、アンドゲート回路 AG1 の一方の入力端子に供給され、非反転出力信号 0 は、出力選送回路 SBL1 のアンドゲート回路 AG1 の一方の入力端子に供給される。

送選回路 SBL1 は、特に利用されないが、その非反転出力端子 1 及び反転出力端子 0 と非反転入力端子 1 及び反転入力端子 0 が依次結合されることによって選別回路とされる 3 個の単位選送回路

DC5～DC7 により構成される。これらの単位選送回路 DC5～DC7 は、特に利用されないが、上記単位選送回路 DC1～DC4 と同一の回路構成とされ、その非反転出力信号 0 は、それぞれノード 6～8 とされる。ノード 6 は、さらに出力選送回路 SBL2 のアンドゲート回路 AG3 の一方の入力端子に供給される。同様に、ノード 7 及び 8 は、さらに出力選送回路 SBL2 のアンドゲート回路 AG4 及び AG5 の一方の入力端子にそれぞれ供給される。

単位選送回路 DC5～DC7 からなる送選回路 SBL2 は、所定のパルス幅を持つオアゲート回路 DC1 の出力信号 0～5 を、そのパルス幅を変化させることなく單次全体的に選択させる。

アンドゲート回路 AG1～AG5 の他方の入力端子には、特に利用されないが、上記コード DEC1 から、対応する選択信号 0～1 がそれぞれ供給される。アンドゲート回路 AG3 の出力信号は、オアゲート回路 DC1 の出力端子に供給される。同様に、アンドゲート回路 AG3

～ACSの出力信号は、上記オアゲート回路OG3の第2一第4の入力端子にそれぞれ供給される。これにより、オアゲート回路OG3の出力信号は、上記アンダゲート回路ACG2～ACSのうちいずれかの出力信号がハイレベルとされるとともに選択的にハイレベルとされる。つまり、アンダゲート回路ACG2～ACS及びオアゲート回路OG3からなる出力選択回路SEL2は、選択信号S1～S3が統一的にハイレベルとされることで、出力選択回路SEL1又は選択回路DL2の対応する出力信号S1～S3を選択的に伝達する作用を持つものとなる。

オアゲート回路OG3の出力信号は、アンダゲート回路ACG2の一方の入力端子に供給される。このアンダゲート回路ACG2の他方の入力端子には、上記フリップフロップ回路FF1の出力信号すなわち内部制御信号CKが供給される。これにより、アンダゲート回路ACG2の出力信号すなわち書き込みモードを決定するならばタイミング信号CKは、出力選択回路SEL1の出力信号と

第5図において、クロック信号CKは、特に制限されないが、比較的小さなデューティを持つ周期的なパルスとされる。該原理回路ノモリの動作は、特に制限されないが、このクロック信号CKの1周期を1ノモリサイクルとして実行され、各ノモリサイクルの動作モードは、ライトイネーブル信号WBによって決定される。このため、クロック信号CKがハイレベルとされるのに先立って、ライトイネーブル信号WBがロクレベルからハイレベルとされ、同時に所定の入力データD10～D14が供給される。また、パルス状選択信号WS0～WS2が選択信号S1をハイレベルとする組み合わせで決められ、セットアップ時間選択信号SS0、SS1が選択信号S2をハイレベルとする組み合わせで決められる。セッタップ時間選択信号SS0、SS1が選択信号S3をハイレベルとする組み合わせで決められる。

タイミング発生回路TGでは、パルス状選択信号WS0～WS2の組み合わせに応じて、デコードD8C1の出力信号すなわち選択信号S6が統一的にハイレベルとされ、セットアップ時間選択信号SS0、SS1の組み合わせに応じて、デコ

内部制御信号CKがともにハイレベルとされるとともに選択的にハイレベルとされる。つまり、この実施例の該原理回路ノモリのタイミング発生回路TGにおいて、クロック信号CKをもとに形成されるオアゲート回路OG3すなわち出力選択回路SEL2の出力信号は、動作モードに関係なく常に形成され、該原理回路ノモリがそのタイトルにおいて書き込みモードとされた内部制御信号CKがハイレベルとされるとともに選択的にタイミング信号CKとされ、バイオーラRAMのライトアンプWAに供給される。

第5図には、第1図のタイミング発生回路TGの一実施例のタイミング図が示されている。同図には、パルス状選択信号WS0～WS2が選択信号S1をハイレベルとする組み合わせとされ、セッタップ時間選択信号SS0、SS1が選択信号S2をハイレベルとする組み合わせとされる場合が、例示的に示される。第5図により、この実施例のタイミング発生回路TGの書き込みパルス発生日周の動作の順序を理解する。

～D8C1の出力信号すなわち選択信号S1が統一的にハイレベルとされる。また、クロック信号CKの立ち上がりエッジにおいて、ライトイネーブル信号WBがハイレベルであることから、フリップフロップ回路FF1がセッタップ状態となり、書き込みモード信号すなわち内部制御信号CKがハイレベルとされる。

一方、クロック信号CKは、オアゲート回路OG1を通じて、パルス状選択信号FF1に印加され、その結果、クロック信号CKの約1周のパルス幅を持つパルス状制御回路PWBの出力信号S1が形成される。この出力信号S1は、オアゲート回路OG3に供給され、その出力信号S3をハイレベルに立ち上げるとともに、半位選択回路DC1～DC4及び選択ゲート回路DC1～DC4からなる選択回路DL1に供給される。

この実施例では、前述のように、選択信号S6が統一的にハイレベルとされる。したがって、上記パルス状制御PWBの出力信号S1は、そのままのパルス幅で選択ゲート回路DC1の出力端

子まで延びされ、延辺ゲート回路 DC1 から後出
の延辺ゲート回路 DC1 及び DC1 の出力信号が
ロウレベルに固定される。このため、ノード n
及び n' は、パルス延辺回路 PWB の出力信号 n
のパルス間に、それぞれ所定する単位延辺回路
DC1～DC4 及び延辺ゲート回路 DC1～DC4
の合計延辺時間と加えた期間だけハイレベルと
される。また、ノード m は、パルス延込回路 PWB
の出力信号 n のパルス間に有効とされる延
辺ゲート回路 DC5 及び DC6 の合計延込時間と
加えた期間だけハイレベルとされる。

オフゲート回路 DC2 の出力信号 n は、前述
のように、パルス延込回路 PWB の出力信号 n
がハイレベルとされることでハイレベルとされ、
ノード m がロウレベルとされることでロウレ
ベルに戻される。これにより、オフゲート回路 DC2
の出力信号 n のパルス幅は、パルス延込回路
PW B の出力信号 n のパルス幅に延込回路 DC1
を構成する単位延込回路 DC1～DC4 及び延
辺ゲート回路 DC1～DC6 の合計延込時間と加

えた値となる。

オフゲート回路 DC1 の出力信号 n は、その
に延込回路 DC1 を構成する単位延込回路 DC3
～DC7 によって、そのままのペルス幅で延込さ
れ、出力信号 n' ～ n が形成される。これらの
出力信号 n' ～ n' は、前述のように、
出力延込回路 DC1 の制御するアンダゲート回
路 AC2～AC3 にそれぞれ供給される。

この実施例では、前述のように、延込信号 n
が一的にハイレベルとされる。このため、アン
ダゲート回路 AC3 が一的に延込状態とされ、
延込回路 DC1 の単位延込回路 DC3 の出力信号
n のみが、出力延込回路 DC1 の出力信号と
して延込される。出力延込回路 DC1 の出力信号
は、このモリタイクルにおいて延込回路付メ
モリが書き込みモードとされ内臓記憶装置が
ハイレベルとされることが、書き込みバルスす
なわちタイミング信号によってとされ、ライトアン
プ WIA に供給される。この実施例において、書き
込みバルスすなわちタイミング信号によっては、バ

ルス延込回路 PWB の出力信号 n のパルス間に
延込回路 DC1 を構成する単位延込回路 DC1～
DC4 及び延込ゲート回路 DC1～DC6 の合計
延込時間と加えた所定のパルス幅を持ち、またパ
ルス延込回路 PWB と延込回路 DC1 の単位延込
回路 DC1 の合計延込時間によって決まる所定の
セットアップ時間を持つものとなる。

以上のように、この実施例の延込回路付メモリ
は、書き込みバルス発生回路を含むタイミング電
気回路 TCG の書き込みバルス発生回路には、上に
書き込みバルスのバルス幅を決定する延込回路 DC1
と、セッタップ時間と決定する延込回路 DC1
とが含まれる。これらの延込回路は、内部電子
を介して組み込まれるバルス延込回路 PWB ～ P
W B 又はセットアップ時間延込回路 WSW ～ S
WI によって延込時に有効とされる複数の延込

回路及び延込ゲート回路によって構成され、その
実質的な延込時間が上記バルス延込回路 PWB
～ PWB 及びセッタップ時間延込回路 WSW
～ SWI によって制御される。このため、この実施
例の延込回路付メモリは、半導体又は組み実装形
の階層でも、マスク変更を必要とすることなく、
書き込みバルスのタイミング条件を最適化するこ
とができる。これにより、この実施例の延込回路
付メモリは、その開発時間を短縮し、製品の開発
を高めることができるものである。

以上の本実施例に示されるように、この実施例を
バイオーラ RRAM を基本構成とする延込回路付メ
モリ等の半導体延込回路装置に適用した場合、次
のような効果が得られる。すなわち、
① 延込回路付メモリの書き込みバルス発生回路等
に含まれる延込回路を直接形態とされる複数の延
込回路によって構成し、これらの単位延込回
路の出力信号を延込信号によって選択的に行進す
る出力延込回路と、所定の延込時間信号をデコード
して上記延込信号を一的に構成するデコード

とを図りることで、音波回路の送波時間を利用してあるという効果が得られる。

図上記回路により、音波品あるいは音波完成後に於いて、パッド又は外端端子から上記送波時間通りを見渡すこと、マスク等の実現を必要とすることなく、音波端子付ノモリの音を込みパルス等のパルス端子セットアップ時間等を調整できるという効果が得られる。

図上記回路及び回路により、音波端子付ノモリ等の開発時間等を短縮し、その値コスト化を図ることができるものという効果が得られる。

図上記回路及び回路により、音波端子付ノモリ等の開発工程において、その製品を留めることができるものという効果が得られる。

図上本発明によつてなされた発明を実施的によつて実現的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、パルス回路回路号W30～W31及びセットアップ回路回路号S30～S31は、

プローブ回路の出力で内部バッテリを介して供給されるものであつてもよいし、そのビット数は任意である。また、これらのパルス回路回路号及びセットアップ回路回路号は、デコードによってデータ化されることなく、直接送波信号として供給されることもよい。図1回において、送波回路D1-D3は、送波ゲート回路D01-D03を基盤送波回路に接続することもできる。この場合、送波は号W30～S31を使って構成する単位送波回路の出力信号を介して送波する送波回路とオブゲート回路を別途必要とする。図1回の実施例では、ライトイネーブル信号W30に固定なく、クロック信号C4をもとに所定のパルス端子セットアップ時間を持つ信号を形成した後、内部回路信号マークと送波信号とすることで、タイミング信号S30を形成しているが、送波回路D1-D3の直前でクロック信号C4とライトイネーブル信号W30の送波端をとつた後、そのパルス回路及びセットアップ時間等を調整する方法もよい。音を込みパルス発生回路は、上記パルス回路回路号W30～W31及びセットア

ップ回路回路号S30～S31が制御されないと、自動的に音を込みパルスのパルス端子及びセットアップ時間等をその回路可操作回路の中心部とするものであつてもよい。図1回において、ノモリアレイRAMは、直前のノキタマットにより構成されるものであつてもよいし、バイオータRAMは、カクム送波回路を持つものであつてもよい。さらに、図1回に示されるタイミング発生回路TCや回路及び図2回に示される単位送波回路及び送波ゲート回路の具体的な回路構成と図3回に示される送波端子付ノモリのプロック構成ならびに開閉回路やタイミング信号の組み合わせ等、以上の実施例を挙げよう。

図上の発明では主として本発明によつてなされた発明をその背景となつた利用分野である音波端子付ノモリの音を込みパルス発生回路に適用した場合について説明したが、それに限定されるものではなく、例えば、音波端子付ノモリのその他のパルス発生回路や音波端子付ノモリを含む他のデジタル装置等にも適用できる。本発明は、

少なくとも送波回路を含むタイミング発生回路あるいはこのようなタイミング発生回路を含む半導体実装回路装置に広く利用できる。

【発明の効果】

本回において開示される発明のうち代表的なものによつて得られる効果を簡単に説明すれば、下記の通りである。すなわち、音波端子付ノモリの音を込みパルス発生回路等に含まれる送波回路を直列用回路とされる直後の単位送波回路によつて構成し、これらの回路は送波回路の出力信号を送波回路内に使って選択的に伝達する出力送波回路と、所定の送波回路信号をデコードして上記送波回路を統一的に構成するデコードとを設けることで、音波品あるいは音波完成後に於いて、パッド又は外端端子から上記送波回路信号を供給することにより、マスク等の実現を必要とすることなく、音波端子付ノモリの音を込みパルス等のパルス端子セットアップ時間等を調整できる。これにより、音波端子付ノモリの開発時間を短縮し、その製品を留めることができる。

特許平1-236494(12)

1. 図面の簡単な説明

第1図は、この発明が適用された論理回路付ノモリのタイミング発生日路の一実施例を示す回路図。

第2図は、第1図のタイミング発生日路に含まれる単位選択回路の一実施例を示す回路図。

第3図は、第1図のタイミング発生日路に含まれる選択ゲート回路の一実施例を示す回路図。

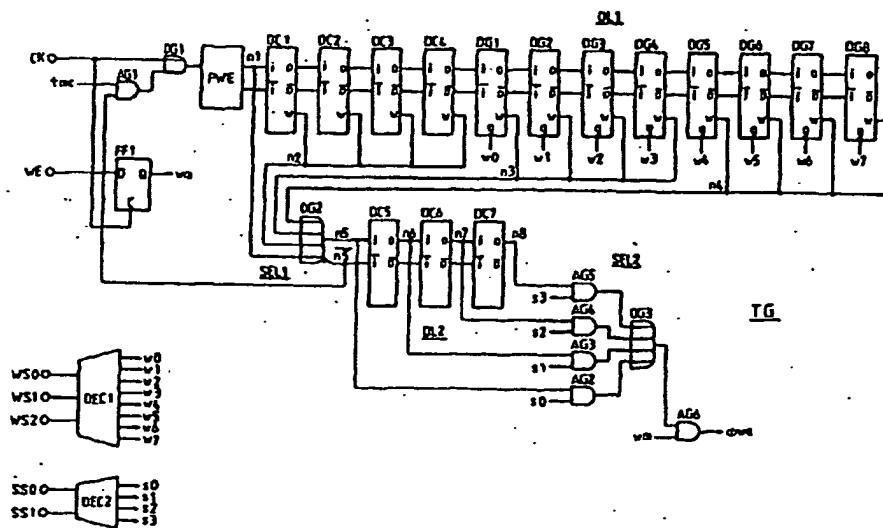
第4図は、第1図のタイミング発生日路に含まれる論理回路付ノモリの一実施例を示すブロック図。

第5図は、第1図のタイミング発生日路の一実施例を示すタイミング図である。

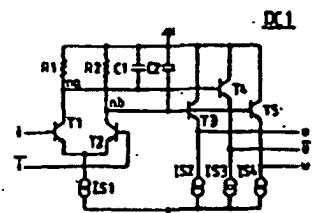
TO...タイミング発生日路、 PWE...
パルス延長回路、 DLI, DL2...選択回路、
DC1~DC7...単位選択回路、 DG1~D
G8...選択ゲート回路、 SEL1, SEL2
...出力選択回路、 DEC1, DEC2...
デコード、 FFL...フリップフロップ回路、
AG1~AG6...アンダーゲート回路、 OG1
~OG3...オフゲート回路。

代理人弁護士 律務 実務

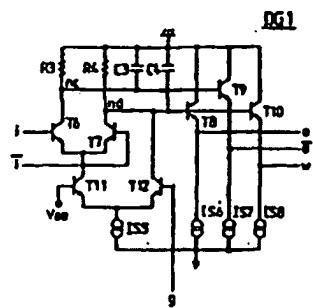
第1図



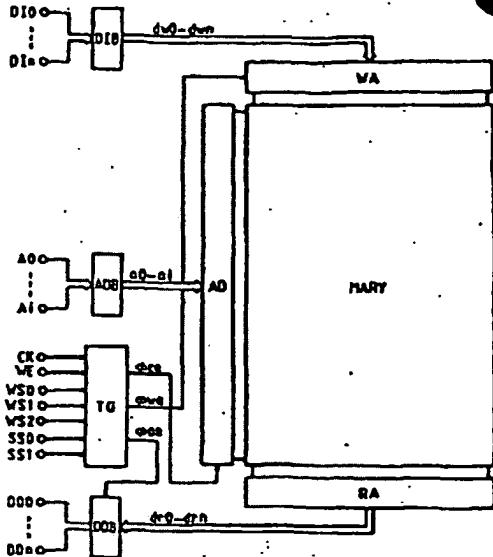
第2図



第3図



第4図



第5図

